

Semiconductor device and method for making thereof

Patent Number: ☐ US5476806
Publication date: 1995-12-19
Inventor(s): ROH JAE-SUNG (KR); KIM HYEUNG-TAE (KR)
Applicant(s): GOLD STAR ELECTRONICS (KR)
Requested Patent: ☐ JP7312416
Application Number: US19940195234 19940214
Priority Number(s): KR19930001898 19930212
IPC Classification: H01L21/8242
EC Classification: H01L21/8242B2
Equivalents: ☐ DE4341698, JP3401073B2, KR9612257

Abstract

The capacitor area is increased with a cylinder-shaped first storage electrode overlapped with a second electrode in an area which covers two adjacent cells. Included in a semiconductor device using the invention may be: a semiconductor substrate; a word line on the substrate; impurity regions at opposite sides of the word line in the substrate; a first contact hole on an odd impurity region; a first storage electrode connected to the first contact hole, which is overlapped with an adjacent even cell; a first sidewall storage electrode at opposite sides of the first storage electrode; a second contact hole on the even impurity region, the second contact hole having a insulated sidewall; a second storage electrode connected to the second contact hole, which is overlapped with an adjacent odd cell; a second sidewall storage electrode at opposite sides of the second storage electrode.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-312416

(43) 公開日 平成7年(1995)11月28日

(51) Int.Cl.⁶

H 0 1 L 27/108
21/8242

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H 0 1 L 27/ 10

6 2 1 C

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平6-6164

(22) 出願日 平成6年(1994)1月25日

(31) 優先権主張番号 1 9 9 3 - 1 8 9 8

(32) 優先日 1993年2月12日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591044131

エルジイ・セミコン・カンパニイ・リミテッド

大韓民国 チュングチェオンブグド チェオンジュシ ヒャンギエオンードン 50

(72) 発明者 ジャエースング ロー

大韓民国 キュンギードー グァチュンシ ジュゴングーアパート 404-607

(72) 発明者 ヒエウングータエ キム

大韓民国 ソウル ドボングーグ スーユー 5-ドン421-13

(74) 代理人 弁理士 中村 純之助 (外1名)

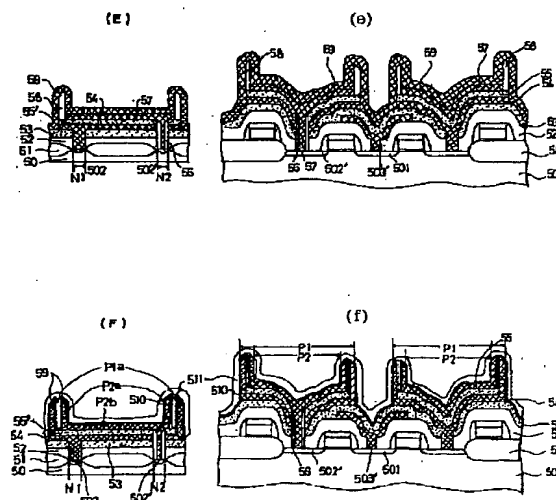
(54) 【発明の名称】 半導体デバイス及びその製造方法

(57) 【要約】

【目的】隣接する2個のメモリスセルのキャパシタストレージ電極を重畳して形成してキャパシタ面積を増加させ、かつ、ストレージ電極接続の位置極め許容誤差範囲を広くして抵抗増大を防止する。

【構成】半導体基板50上に形成された絶縁膜51、52、53、55、56、ワード線504、ワード線の両側に形成された第1不純物領域501及び第2不純物領域502、502'、第1不純物領域と電気的に接続されたビット線503、奇数番目の第2不純物領域502と電気的に接続された第1ストレージ電極P1、偶数番目の第2不純物領域502'と電気的に接続された第2ストレージ電極P2、第1ストレージ電極及び第2ストレージ電極の表面に形成された誘電体膜510、誘電体膜の上に形成されたプレート電極511を含む半導体デバイス及びその製造方法。

【図3】



【特許請求の範囲】

【請求項1】半導体基板上に、複数のフィールド絶縁膜と複数のワード線とを形成し、上記複数のワード線両側の上記半導体基板上に複数の第1及び第2不純物領域を形成し、上記複数の第1及び第2不純物領域の上に第1絶縁膜を形成し、上記複数の第1不純物領域の上の上記第1絶縁膜にビット線コンタクト孔を設け、複数のビット線コンタクトを電氣的に接続する複数のビット線を形成し、上記第1絶縁膜及び上記ビット線の上に第2絶縁膜を形成し、上記第1絶縁膜及び上記第2絶縁膜の所定の部分をエッチングして複数の第1コンタクト孔を形成する工程と、

上記複数の第1コンタクト孔に第1導電膜を形成し、上記第1導電膜上に第3絶縁膜を形成し、上記第3絶縁膜と上記第1導電膜と上記第2絶縁膜と上記第1絶縁膜とにエッチングを施して複数の第2コンタクト孔を形成する工程と、

上記複数の第2コンタクト孔の側壁に第4絶縁膜を形成して上記複数の第2コンタクト孔と上記第1導電膜とを分離した後、上記第2コンタクト孔内及び上記第3絶縁膜上に第2導電膜を形成する工程と、

上記第2導電膜の所定の部分をエッチングした後、残存する上記第2導電膜の側面に複数の第5絶縁膜スペーサを形成する工程と、

上記第2導電膜と、表面に露出している上記第1導電膜とにエッチングを施した後、全面に第3導電膜を形成する工程と、

上記第3導電膜にエッチングを施し、上記複数の第5絶縁膜スペーサの側面上に上記第3導電膜を残し、上記複数の第5絶縁膜スペーサを取り除き、複数の第1、第2ストレージ電極を形成し、上記複数の第1、第2ストレージ電極の表面に誘電体膜とプレート電極とを形成する工程とを含む半導体デバイスの製造方法。

【請求項2】請求項1において、上記第1、第4、第5絶縁膜に SiO_2 を用いることを特徴とする半導体デバイスの製造方法。

【請求項3】請求項1において、上記第2、第3絶縁膜に Si_3N_4 を用いることを特徴とする半導体デバイスの製造方法。

【請求項4】請求項1において、上記第1、第2、第3導電膜に多結晶シリコンを用いることを特徴とする半導体デバイスの製造方法。

【請求項5】請求項1において、ビット線に多結晶シリコンを用いることを特徴とする半導体デバイスの製造方法。

【請求項6】請求項3において、上記第2絶縁膜をエッチング停止膜として利用して、上記第3導電膜に非等方性エッチングを施すことを特徴とする半導体デバイスの製造方法。

【請求項7】半導体基板と、上記半導体基板上に形成さ

れた複数の絶縁膜と、複数のワード線と、上記複数のワード線の両側に形成された複数の第1及び第2不純物領域と、上記複数の第1不純物領域に形成された複数のビット線コンタクトと、上記複数のビット線コンタクトを電氣的に接続する複数のビット線と、複数の奇数番目の上記第2不純物領域に形成された複数の第1ストレージ電極コンタクトと、上記複数の第1ストレージ電極コンタクトを電氣的に接続する複数の第1ストレージ電極と、複数の偶数番の上記第2不純物領域に形成された複数の第2ストレージ電極コンタクトと、上記複数の第2ストレージ電極コンタクトを電氣的に接続する複数の第2ストレージ電極と、複数の第1、第2ストレージ電極表面に形成された誘電体膜と、その上に形成されたプレート電極とを含む半導体デバイス。

【請求項8】請求項7において、複数の第2ストレージ電極が複数の第1ストレージ電極に囲まれていることを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体デバイス及びその製造方法に関し、特に、隣接する積層キャパシタの面と相互に重なった積層キャパシタの面を有する半導体デバイス及びその製造方法に関する。

【0002】

【従来の技術】半導体メモリセルにキャパシタを製造する従来技術としては、図5～6に示すような方法と、図7～8に示す、本発明と類似で、IEDM '91 P473-476に紹介されている、SVC（伸展垂直キャパシタ（Spread Vertical Capacitor））法とがある。

【0003】図5は、半導体メモリセルにキャパシタを製造する従来の方法を示す製造工程断面図である。

【0004】先ず、図5（a）に示すように、半導体基板10に、フィールド絶縁シリコン酸化膜11とソース／ドレイン領域102とを形成した後、半導体基板10の全面にシリコン酸化膜12とシリコン窒化膜13とをこの順に堆積した後、半導体基板10のソース／ドレイン領域102の部分にコンタクト孔Nを設ける。

【0005】次に、図5（b）に示すように、コンタクト孔N及びシリコン窒化膜13上に、ストレージ電極として使用する多結晶シリコン膜14を堆積する。次に、その上にシリコン酸化膜16及びシリコン窒化膜15をこの順に堆積する。次いで、光蝕刻法でシリコン酸化膜16をエッチングする際のマスクとして使用できるようにシリコン窒化膜15を整形する。

【0006】次に、図5（c）に示すように、シリコン窒化膜15をマスクとして使用して、異方性エッチングにより、シリコン酸化膜16'及び多結晶シリコン膜14'を形成する。その際、シリコン窒化膜13はエッチング停止層として使用する。その後、シリコン窒化膜1

3

5を取り除き、シリコン酸化膜16'の上面及び側面、多結晶シリコン膜14'の側面並びにシリコン窒化膜13の上面に多結晶シリコン膜17を堆積する。

【0007】次に、図5(d)に示すように、多結晶シリコン膜17に反応性イオンエッチングを施して、シリコン酸化膜16'の周りに側壁スペーサ17'を形成した後、シリコン酸化膜16'をHF溶液中で湿式エッチングして取り除き、筒状のストレージ電極を形成する。その後、該ストレージ電極に誘電体膜110を形成し、該誘電体膜110の上にキャパシタのプレート電極(図

示さない)を形成して、キャパシタ製造工程が完了する。

【0008】図6は、図5に示した方法によって製造されたキャパシタの平面図である。

【0009】即ち、一つのメモリセルに形成された長方形のキャパシタ領域21、コンタクト孔N1、N2、ビット線23、活性領域25が示されている。

【0010】図7は、半導体メモリセルにSVC法によってキャパシタを製造する工程を示す製造工程断面図である。

【0011】まず、図7(A)に示すように、シリコン基板30上に、フィールド絶縁膜31、ソース/ドレイン領域31-1及びワード線31-2を形成した後、絶縁膜32とシリコン窒化膜33とをこの順に堆積する。

【0012】次に、ソース/ドレイン領域31-1の上にコンタクト孔10A、10B、10Cを形成した後、コンタクト孔10A、10B、10C及びシリコン窒化膜33上に多結晶シリコン膜34を堆積する。その後、多結晶シリコン膜34の上にシリコン酸化膜を堆積した後、光蝕刻法によって溝を形成することにより、シリコン酸化膜38が形成される。この時、シリコン酸化膜38は、コンタクト孔位置の中心から若干左側にずれた位置に形成する。

【0013】次に、図7(B)に示すように、表面全体に多結晶シリコン膜を堆積した後、該多結晶シリコン膜を異方性乾式エッチングして、シリコン酸化膜38の側面にストレージ電極37(図8における内壁A')を形成する。

【0014】上記工程後、図7(C)に示すように、シリコン酸化膜38を取り除いた後、ストレージ電極37の外側にシリコン酸化膜からなる側壁スペーサ38'を形成した後、再び全面に多結晶シリコン膜を堆積する。その後、該多結晶シリコン膜に異方性エッチングを施して、他の一つのストレージ電極37'(図8における外壁B')を形成する。該ストレージ電極37'は、異方性乾式エッチングのとき削られるので、ストレージ電極37より若干低い高さとなるが、この高さの差は、ストレージ電極の平面図上の面積(図8参照)の差と相殺されて、2個のストレージ電極37と37'のキャパシタ容量は殆ど同じとなる。

4

【0015】次に、図7(D)に示すように、側壁スペーサ38'を取り除いた後、ストレージ電極37(内壁A')とストレージ電極37'(外壁B')とを電気的に完全に絶縁するため、窒化膜33をエッチング停止膜に利用して、異方性乾式エッチングを全面に施し、多結晶シリコン膜34の1部を取り除く。この後、内側のストレージ電極37(内壁A')及び外側37'(外壁B')の表面に、それぞれ誘電膜及びプレート電極(いずれも図示しない)を形成してストレージキャパシタを完成する。

【0016】図8は、SVC法によって製造されたキャパシタの平面図である。即ち、SVC法で形成された内側のストレージ電極37(内壁A')はコンタクト孔10Aの多結晶シリコン電極の一部に接続され、外側のストレージ電極37'(外壁B')はコンタクト孔10Bの多結晶シリコン電極の一部に接続されている。破線は活性領域の範囲を示す。

【0017】

【発明が解決しようとする課題】上記従来の半導体メモリセルにキャパシタを製造する方法のうち、図5~6に示した方法で製造された半導体メモリセルキャパシタは、セル1個当りのストレージ電極面積が限定され、キャパシタ容量に限界があるので、メモリセルを超高集積化するうえでの問題点となる。

【0018】また、図7~8に示したSVC法で製造された半導体メモリセルキャパシタは、位置極めの許容誤差範囲が狭いという問題がある。即ち、ストレージ電極の壁面がコンタクト孔の多結晶シリコン電極の一部に接続されるが、その位置極めの許容誤差範囲は狭く、接続が充分正確でない場合の抵抗増加が懸念される。また、ストレージ電極のキャパシタ面積が内壁の壁面積に限定されるという短所がある。

【0019】本発明の目的は、上記問題点を解決するために、隣接する2個のメモリセルのストレージ電極を、互いに面積を共有するように重畳して形成することにより、1個のメモリセル当りの有効キャパシタ面積を増加させること、及び、ストレージ電極とコンタクト孔の電極とを接続する際の位置極め許容誤差範囲を広くして抵抗増大を防止することにより、半導体の高集積化及び信頼性向上に寄与することにある。

【0020】

【課題を解決するための手段】本発明は、半導体基板上に、複数のフィールド絶縁膜と複数のワード線とを形成し、上記複数のワード線両側の上記半導体基板上に複数の第1及び第2不純物領域を形成し、上記複数の第1及び第2不純物領域の上に第1絶縁膜を形成し、上記複数の第1不純物領域の上の上記第1絶縁膜にビット線コンタクト孔を設け、複数のビット線コンタクトを電気的に接続する複数のビット線を形成し、上記第1絶縁膜及び上記ビット線の上に第2絶縁膜を形成し、上記第1絶縁

膜及び上記第2絶縁膜の所定の部分をエッチングして複数の第1コンタクト孔を形成する工程と、上記複数の第1コンタクト孔に第1導電膜を形成し、上記第1導電膜上に第3絶縁膜を形成し、上記第3絶縁膜と上記第1導電膜と上記第2絶縁膜と上記第1絶縁膜とにエッチングを施して複数の第2コンタクト孔を形成する工程と、上記複数の第2コンタクト孔の側壁に第4絶縁膜を形成して上記複数の第2コンタクト孔と上記第1導電膜とを分離した後、上記第2コンタクト孔内及び上記第3絶縁膜上に第2導電膜を形成する工程と、上記第2導電膜の所定の部分をエッチングした後、残存する上記第2導電膜の側面に複数の第5絶縁膜スペーサを形成する工程と、上記第2導電膜と、表面に露出している上記第1導電膜とにエッチングを施した後、全面に第3導電膜を形成する工程と、上記第3導電膜にエッチングを施し、上記複数の第5絶縁膜スペーサの側面に上記第3導電膜を残し、上記複数の第5絶縁膜スペーサを取り除き、複数の第1、第2ストレージ電極を形成し、上記複数の第1、第2ストレージ電極の表面に誘電体膜とプレート電極とを形成する工程、とを含んで成ることを特徴とする。

【0021】また、本発明は、半導体基板と、上記半導体基板上に形成された複数の絶縁膜と、複数のワード線と、上記複数のワード線の両側に形成された複数の第1及び第2不純物領域と、上記複数の第1不純物領域に形成された複数のビット線コンタクトと、上記複数のビット線コンタクトを電気的に接続する複数のビット線と、複数の奇数番目の上記第2不純物領域に形成された複数の第1ストレージ電極コンタクトと、上記複数の第1ストレージ電極コンタクトを電気的に接続する複数の第1ストレージ電極と、複数の偶数番の上記第2不純物領域に形成された複数の第2ストレージ電極コンタクトと、上記複数の第2ストレージ電極コンタクトを電気的に接続する複数の第2ストレージ電極と、複数の第1、第2ストレージ電極表面に形成された誘電体膜と、その上に形成されたプレート電極とを含んで成ることを特徴とする。

【0022】

【作用】キャパシタストレージ電極を、2重の筒状の構造とすることが出来るので、1個のメモリセルのストレージ電極と隣接するメモリセルのストレージ電極とが互いに面積を共有することになり、かつ、2重の筒形状の構造の底部分もキャパシタとして利用出来るので、各メモリセルのキャパシタストレージ電極の有効面積が2倍以上に増加する。また、ストレージ電極の底部分が直接コンタクト孔の多結晶シリコン電極と接続されるので、位置極め許容誤差範囲が広くなり、位置極めの不正確に起因する抵抗増大が防止される。

【0023】

【実施例】以下、本発明の実施例を添付図面を用いて説明する。

【0024】図1～3は、本発明による半導体デバイスの製造工程断面図であり、図4はその平面図である。ここに、図1～3における図(A)～(F)及び図(a)～(f)は、それぞれ、図4におけるA-A'切断面及びB-B'切断面における断面図を示す。

【0025】まず、図1(A)、(a)に示すように、半導体基板50の上に、フィールド絶縁膜51を形成した後、ゲート絶縁膜586と、後にゲート電極となる多結晶シリコン膜とを堆積して、ワード線504を形成する。その後、その上にシリコン酸化膜を堆積した後、エッチングバックして、ワード線504の上面絶縁膜587及び側面絶縁膜588を形成する。次に、半導体基板50の上の各ワード線504の間に、第1不純物領域501と第2不純物領域502及び同502'とを形成した後、その上に第1絶縁膜52としてシリコン酸化膜を堆積する。

【0026】その後、ホトレジスト膜(図示しない)を塗布した後、露光及び現像して、第1不純物領域501の上にビット線コンタクト孔を形成するためのマスク(図示しない)を作る。

【0027】次に、上記マスクを使用して、第1絶縁膜52に非等方性エッチングを施して、第1不純物領域501の上に、ビット線コンタクト孔503'を形成する。その後、ホトレジスト膜を除去した後、第1絶縁膜52の上及びビット線コンタクト孔503'の中に、多結晶シリコン膜を堆積する。次いで、多結晶シリコン膜に光蝕刻法を施して、ビット線503を形成した後、第1絶縁膜52及びビット線503の上に、窒化シリコンからなる第2絶縁膜53を形成する。

【0028】その後、第2絶縁膜53の上にホトレジスト膜(図示しない)を塗布した後、第1ストレージ電極のコンタクト孔N1、N1'を形成するためにパターンニングする。該パターンニングされたホトレジスト膜を用いて、非等方性エッチングを施し、第1絶縁膜52及び第2絶縁膜53をエッチングして、第2不純物領域502の上に、第1ストレージ電極コンタクト孔N1、N1'を形成する。その後、上記ホトレジスト膜を除去する。

【0029】次いで、図1(B)、(b)に示すように、第2絶縁膜53上及び第1ストレージ電極コンタクト孔N1、N1'中に多結晶シリコンを堆積して第1導電膜54を形成し、その上に、窒化シリコンからなる第3絶縁膜55を形成する。

【0030】次に、第2ストレージ電極コンタクト孔N2を形成するため、第3絶縁膜55上にホトレジストを塗布した後、露光・現像して、パターンニングされたホトレジスト膜500を形成する。

【0031】次いで、図2(C)、(c)に示すように、ホトレジスト膜500を用いて、第3絶縁膜55と、第1導電膜54と、第2絶縁膜53と、第1絶縁膜52とに非等方性エッチングを施し、第2不純物領域5

02'の上に第2ストレージ電極コンタクト孔N2を形成した後、ホトレジスト膜500を除去する。

【0032】次に、第3絶縁膜55上及び第2コンタクト孔N2中に酸化シリコンを堆積した後、エッチングバックして、第2コンタクト孔側壁に、第2不純物領域502'と後に形成されるストレージ電極P2とを電気的に接続するための導電材を堆積するように、第2コンタクト孔N2の半径よりも小さい厚さの第4絶縁膜56を形成する。該第4絶縁膜56は、第2コンタクト孔N2と第1導電膜54とを絶縁する。

【0033】次に、第3絶縁膜55上と、第2コンタクト孔N2内の第4絶縁膜56及び第2不純物領域502'に囲まれた領域中とに、多結晶シリコンを堆積して、第2導電膜57を形成する。

【0034】次いで、図2(D)、(d)に示すように、隣接する2個分のメモリセルの面積を有するホトレジスト膜(図示しない)を用いた光蝕刻法を施し、該ホトレジスト膜によって保護されない部分の第2導電膜57を、第3絶縁膜55が露出するまでエッチングして、第2ストレージ電極P2を形成する。その後、第3絶縁膜55の上と、第2ストレージ電極P2の上面及び側面とに、シリコン酸化膜を堆積した後、第3絶縁膜55が露出するまでエッチングして、第2ストレージ電極P2の側面に、第5絶縁膜58を形成する。その後、第3絶縁膜55の、第5絶縁膜58と第2ストレージ電極P2とによって保護されない部分を、第1導電膜54が露出するまでエッチングして除去する。

【0035】次いで、図3(E)、(e)に示すように、第2導電膜57と、表面に露出している第1導電膜54とに、第2絶縁膜53をエッチング停止膜に利用して非等方性エッチングを施し、第2ストレージ電極P2の底部分となる第2導電膜57の一部を残して除去する。その後、残存する第2ストレージ電極P2の上面と、第5絶縁膜58の上及び側面と、露出した第2絶縁膜53の上とに、多結晶シリコンを堆積し、第3導電膜59を形成する。

【0036】次いで、図2(F)、(f)に示すように、シリコン窒化膜からなる第2絶縁膜53をエッチング停止膜として利用して、第3導電膜59に非等方性エッチングを施し、ストレージ電極の1部である2つの壁P1aと壁P2aとを形成する。外側の壁P1aは第1ストレージ電極P1の1部となり、内側の壁P2aは第2ストレージ電極P2の1部となる。

【0037】その後、HF溶液中で湿式エッチングを施して、第5絶縁膜58を取り除くと、第1ストレージ電極P1が第2ストレージ電極P2の下方に位置する2重の筒状のストレージ電極が形成される。なお、第1ストレージ電極P1は、奇数番目の不純物領域である第2不純物領域502に接続されており、一方、第2ストレージ電極P2は、偶数番目の不純物領域である第2不純物

領域502'に接続されている。

【0038】上記工程後、第1ストレージ電極P1及び第2ストレージ電極P2の表面に、誘電体膜510とプレート電極511とを形成する。なお、第2ストレージ電極P2の高さは、第1ストレージ電極P1の高さよりも小さいが、第2ストレージ電極P2は、壁P2aの表面及び平らな面P2b上にキャパシタ面を有するのに対し、第1ストレージ電極P1は、壁P1aの表面にのみキャパシタ面を有するので、第1ストレージ電極P1の容量と、第2ストレージ電極P2の容量は略等しい。

【0039】また、誘電体膜510の上にプレート電極511が形成されるので、キャパシタ面が隣接するメモリセル迄延長され、半導体メモリデバイスの高集積化が可能となる。

【0040】図4は、本発明による半導体デバイスの平面図である。

【0041】本図には、4個のメモリセルが示されており、A-A'とB-B'は、それぞれ、図1~3における図(A)~(F)と(a)~(f)の各々の断面の切断面を示す基準線である。

【0042】図には、シリコン基板上のワード線504と、複数のワード線504の間に、偶数番目の第2不純物領域502'と奇数番目の第2不純物領域502と、第1不純物領域501と、第1不純物領域501上のビット線コンタクト孔503'と、奇数番目の第2不純物領域502における第1ストレージ電極コンタクト孔N1と、偶数番目の第2不純物領域502'における第2ストレージ電極コンタクト孔N2と、第1ストレージ電極コンタクト孔N1を介して奇数番目の第2不純物領域502と連節されている第1ストレージ電極P1と、第2ストレージ電極コンタクト孔N2を介して偶数番目の第2不純物領域502'と接続されている第2ストレージ電極P2と、が図示されている。なお、第2ストレージ電極P2は、第1ストレージ電極P1に囲まれている。

【0043】

【発明の効果】上記本発明によれば、2重の筒状のキャパシタストレージ電極を形成することが出来、1個のメモリセルのストレージ電極と隣接するメモリセルのストレージ電極とが互いに面積を共有し、かつ、2重の筒状の構造の底部分もキャパシタとして使用されるので、各メモリセルのキャパシタストレージ電極の有効面積を2倍以上に増加させることが出来る。また、先行技術においては、ストレージ電極の壁面とコンタクト孔の多結晶シリコン電極の一部とを接続する際の位置極め許容誤差範囲が狭く、接続が充分正確でない場合の抵抗増加が懸念されるが、本発明においては、ストレージ電極の底部分が直接コンタクト孔の多結晶シリコン電極と完全に接続されるので、位置極め許容誤差範囲が大きくなり、抵抗増加を防止することが出来、半導体の高集積化及び

信頼性向上に大きく寄与することが可能となる。

【図面の簡単な説明】

【図1】本発明による半導体デバイスの製造工程断面図である。

【図2】本発明による半導体デバイスの製造工程断面図である。

【図3】本発明による半導体デバイスの製造工程断面図である。

【図4】本発明による半導体デバイスの平面図である。

【図5】半導体メモリセルにキャパシタを製造する従来の方法を示す製造工程断面図である。

【図6】従来の半導体デバイスの平面図である。

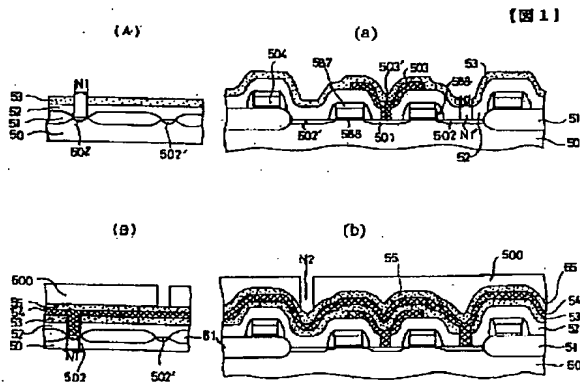
【図7】半導体メモリセルにSVC法によってキャパシタを製造する工程を示す製造工程断面図である。

【図8】SVC法による半導体デバイスの平面図である。

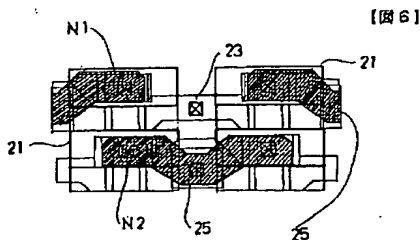
【符号の説明】

10…半導体基板、11、12…シリコン酸化膜、13…シリコン窒化膜、14、14'…多結晶シリコン膜、15…シリコン窒化膜、16、16'…シリコン酸化膜、17…多結晶シリコン膜、17'…側壁スペーサ、N、N1、N2…コンタクト孔、102…ソース/ドレイン領域、21…キャパシタ領域、23…ビット線、25…活性領域、110…誘電体膜、30…シリコン基板、31…フィールド絶縁膜、31-1…ソース/ドレイン領域、31-2…ワード線、32…絶縁膜、33…シリコン窒化膜、34…多結晶シリコン膜、37、37'…ストレージ電極、38…シリコン酸化膜、38'…側壁スペーサ、10A、10B、10C…コンタクト孔、A'…内壁、B'…外壁、50…半導体基板、51…フィールド絶縁膜、52…第1絶縁膜、53…第2絶縁膜、54…第1導電膜、55…第3絶縁膜、56…第4絶縁膜、57…第2導電膜、58…第5絶縁膜、59…第3導電膜、500…ホトレジスト膜、501…第1不純物領域、502、502'…第2不純物領域、503'…ビット線コンタクト孔、503…ビット線、504…ワード線、510…誘電体膜、511…プレート電極、586…ゲート絶縁膜、587、588…絶縁膜、N1、N1'、N2、N2'…コンタクト孔、P1…第1ストレージ電極、P2…第2ストレージ電極、P1a、P2a…壁、P2b…平らな面

【図1】

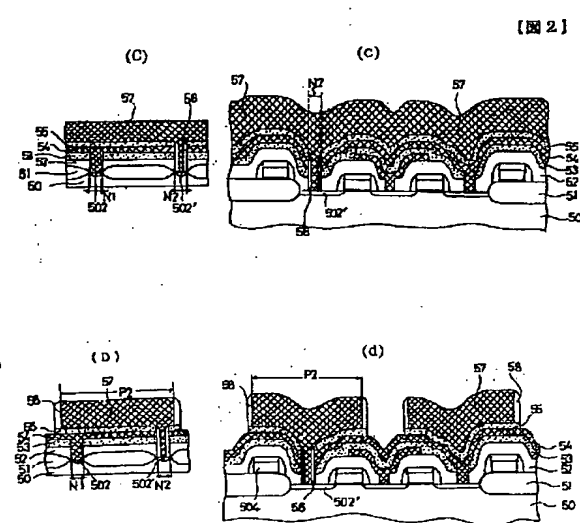


【図6】

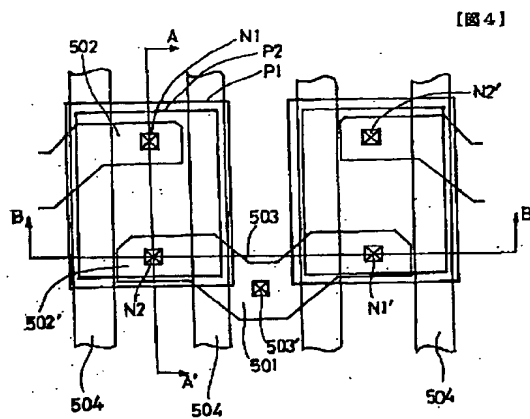


域、21…キャパシタ領域、23…ビット線、25…活性領域、110…誘電体膜、30…シリコン基板、31…フィールド絶縁膜、31-1…ソース/ドレイン領域、31-2…ワード線、32…絶縁膜、33…シリコン窒化膜、34…多結晶シリコン膜、37、37'…ストレージ電極、38…シリコン酸化膜、38'…側壁スペーサ、10A、10B、10C…コンタクト孔、A'…内壁、B'…外壁、50…半導体基板、51…フィールド絶縁膜、52…第1絶縁膜、53…第2絶縁膜、54…第1導電膜、55…第3絶縁膜、56…第4絶縁膜、57…第2導電膜、58…第5絶縁膜、59…第3導電膜、500…ホトレジスト膜、501…第1不純物領域、502、502'…第2不純物領域、503'…ビット線コンタクト孔、503…ビット線、504…ワード線、510…誘電体膜、511…プレート電極、586…ゲート絶縁膜、587、588…絶縁膜、N1、N1'、N2、N2'…コンタクト孔、P1…第1ストレージ電極、P2…第2ストレージ電極、P1a、P2a…壁、P2b…平らな面

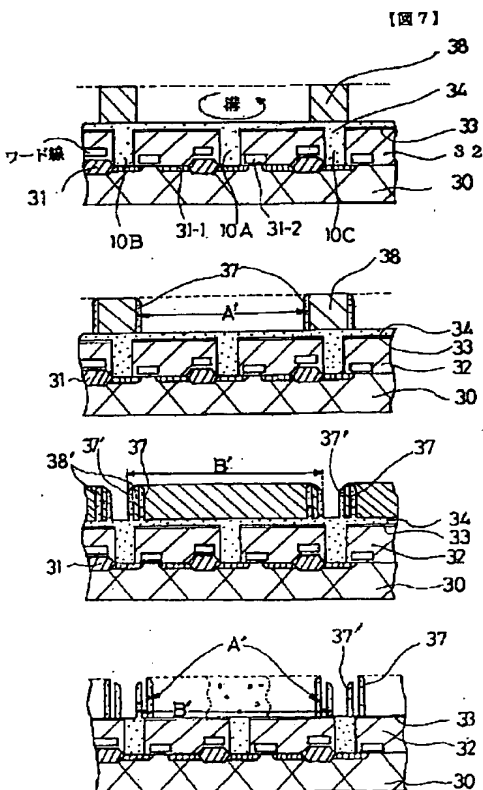
【図2】



【图4】



【図 7】



(8)

特開平7-312416

【図8】

【図8】

